

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 5日
Date of Application:

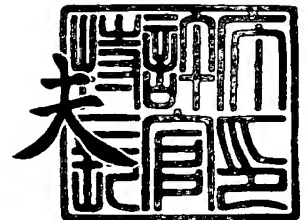
出願番号 特願2002-353733
Application Number:
[ST. 10/C]: [JP2002-353733]

出願人 シャープ株式会社
Applicant(s):

2003年11月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3091560

【書類名】 特許願

【整理番号】 P02S0008A1

【提出日】 平成14年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/06

【発明の名称】 不揮発性メモリセル及び不揮発性半導体記憶装置

【請求項の数】 10

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森川 佳直

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【電話番号】 06-6621-1221

【代理人】

【識別番号】 100114476

【弁理士】

【氏名又は名称】 政木 良文

【電話番号】 06-6233-6700

【選任した代理人】

【識別番号】 100107478

【弁理士】

【氏名又は名称】 橋本 薫

【電話番号】 06-6233-6700

【手数料の表示】

【予納台帳番号】 072856

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 包括委任状 1

【援用の表示】 平成 1 4 年 1 2 月 3 日付で提出の包括委任状を援用します。

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性メモリセル及び不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 電気抵抗の変化により情報を記憶可能な可変抵抗素子を複数備え、前記各可変抵抗素子の一端同士を接続し、前記複数の可変抵抗素子を共通に選択する選択素子の一つの電極と前記各可変抵抗素子の前記一端とを接続していることを特徴とする不揮発性メモリセル。

【請求項 2】 前記可変抵抗素子が、電気的ストレスにより電気抵抗の変化する R R A M 素子、磁界により電気抵抗の変化する M R A M 素子、または、熱により電気抵抗の変化する O U M 素子であることを特徴とする請求項 1 に記載の不揮発性メモリセル。

【請求項 3】 前記選択素子が M O S F E T で構成され、前記各可変抵抗素子の前記一端と接続する前記電極が前記 M O S F E T のドレインまたはソースであることを特徴とする請求項 1 または 2 に記載の不揮発性メモリセル。

【請求項 4】 前記選択素子がダイオード素子で構成され、前記各可変抵抗素子の前記一端と接続する前記電極が前記ダイオード素子のアノードまたはカソードであることを特徴とする請求項 1 または 2 に記載の不揮発性メモリセル。

【請求項 5】 請求項 1 または 2 に記載の不揮発性メモリセルを行方向及び列方向にマトリクス状に配列し、前記メモリセルの各行に行方向に沿って延伸するワード線を備え、前記メモリセルの各列に列方向に沿って延伸する前記メモリセル内の前記可変抵抗素子と同数のビット線を備えてなるメモリセルアレイを有することを特徴とする不揮発性半導体記憶装置。

【請求項 6】 前記メモリセルの夫々において、前記選択素子が M O S F E T で構成され、前記 M O S F E T のドレインが前記各可変抵抗素子の一端と接続し、前記複数の可変抵抗素子の前記 M O S F E T と接続しない側の一端を各別に前記ビット線に接続し、前記 M O S F E T のソースをソース線に接続し、前記 M O S F E T のゲートが前記ワード線に接続してなることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】 前記メモリセルの夫々において、前記選択素子がダイオード

素子で構成され、前記選択ダイオードのアノードまたはカソードが前記各可変抵抗素子の一端と接続し、前記複数の可変抵抗素子の前記ダイオード素子と接続しない側の一端を各別に前記ビット線に接続し、前記ダイオード素子の前記可変抵抗素子と接続しない側の電極を前記ワード線に接続してなることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 8】 前記メモリセルアレイを 1 ブロックとして、少なくとも前記列方向に複数ブロックを配列し、前記各ブロックの前記ビット線をローカルビット線とし、そのローカルビット線を選択するローカルビット線選択トランジスタを設け、前記ローカルビット線が前記ローカルビット線選択トランジスタを介してグローバルビット線に接続される階層ビット線構造を有することを特徴とする請求項 5 ～ 7 の何れか 1 項に記載の不揮発性半導体記憶装置。

【請求項 9】 読み出し対象として選択される前記メモリセルに接続する前記各ビット線は、当該読み出し動作に先立って夫々所定電位に充電されることを特徴とする請求項 5 ～ 8 の何れか 1 項に記載の不揮発性半導体記憶装置。

【請求項 10】 読み出し対象として選択される前記メモリセルに接続する前記各ビット線を当該読み出し動作に先立って所定電位に充電するために、当該ビット線間にイコライズ用のトランジスタを設けていることを特徴とする請求項 5 ～ 8 の何れか 1 項に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置及びそれに用いるメモリセルに関し、より具体的には、メモリセルが電気抵抗の変化により情報を記憶可能な可変抵抗素子を備える不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

現在、電気抵抗の変化により情報を記憶可能な可変抵抗素子を記憶素子として利用した不揮発性メモリとして、MRAM (M a g n e t i c R A M) や、OUM (O v o n i c U n i f i e d M e m o r y) 、RRAM (R e s i s

tance control nonvolatile Random Access Memory) 等が存在し、提案されている。これらの素子は抵抗を変化させる事で情報を記憶し、その抵抗値の変化で情報を読み出すという形で不揮発性メモリを実現している。例えば、MRAMは、MTJ (Magnetic Tunnel Junction) 素子を利用してメモリセルを構成しており、その内容は、例えば、特開 2002-151661 号公報 (特許文献 1) に開示されている。図 16 に、そのメモリセル構成の読み出しに関する部分の構成を示す。また、RRAM素子を利用したメモリセル構成として、本願の出願人による特願 2002-185234 号の明細書に記載されているものがある。図 17 にそのメモリセル構成を示す。図 16 と図 17 に示すメモリセルは、夫々の可変抵抗素子が異なるが、何れも可変抵抗素子と選択素子である選択トランジスタが直列に接続されている点で共通している。メモリセルは、ワード線 WL に選択トランジスタ 3 のゲートが接続され、ビット線 BL に可変抵抗素子 2 の一端が接続され、ソース線 SL に選択トランジスタ 3 のソースが接続され、可変抵抗素子 2 の他端と選択トランジスタ 3 のドレインとが接続されている。

【0003】

以下、RRAM素子を用いたメモリセルの場合につき説明する。図 18 に、図 17 のメモリセルを使用した場合のメモリセルアレイ構成を示す。メモリアレイ (メモリセルアレイと同義) は、複数のビット線 BL、複数のワード線 WL、及び、複数のソース線 SL を有し、ビット線 BL とワード線 WL とが交差する箇所にメモリセルを有し、メモリセルがマトリクス状に配列している。図 19 に図 18 に示すメモリセルの模式的な断面図を示す。

【0004】

今、このメモリアレイの読み出し動作を説明する。ビット線 BL とワード線 WL により読み出し対象のメモリセルが選択されるように、ビット線選択トランジスタ 4、ワード線ドライバ 6 等を制御し、ソース線制御回路 7 が選択されたメモリセルに接続するソース線 SL を接地電位とする。この条件のもとで、読み出し回路 5 のビット線の充電回路から選択されたビット線に読み出し用のバイアス電圧を印加すると、選択ビット線から選択されたメモリセルの RRAM素子 2、選

択トランジスタ 3、ソース線 S L、接地電位へと電流経路ができる。選択されたメモリセルの R R A M 素子 2 の抵抗値に依存して選択ビット線に流れる電流が変化する。このビット線を流れる電流を読み出し回路 5 で判別し、メモリセルに記憶されたデータを出力する。当該電流値を判別する読み出し回路の一例を、図 20 に示す。図 20 の読み出し回路によると、ビット線 B L にビット線選択トランジスタ 4 を介して負荷回路 8 が接続され、負荷回路 8 とビット線選択トランジスタ 4 の接続点 N でビット線電流を電圧に変換している。メモリセルの記憶データ値に対応する各電流値を判別するための基準電流を発生する電流源を準備し、その電流源から生成される電圧（以下これを基準電圧 V r e f と称す）とビット線電流を変換した電圧をコンパレータ回路 9 で判別し、その判別結果を出力する（C P O U T）。図 21 に、負荷回路 8 として抵抗を利用した場合の負荷曲線（直線）A と 2 値データの夫々に対応するビット線電流の電流－電圧特性 B、C の一例を模式的に示す。

【0005】

【特許文献 1】

特開 2002-151661 号公報

【0006】

【発明が解決しようとする課題】

上記のような読み出し動作の場合、図 21 のグラフから判るようにビット線電流差が大きい程、コンパレータ回路 9 に入力される電圧差が大きくなる。コンパレータ回路 9 に入力される電圧差が大きいと、コンパレータ回路 9 の動作自体も高速になる。従って、より高速にまたより安定にメモリセルの情報を読み出すためには、ビット線電流差を大きくすることが望ましい。ここで、ビット線電流は、ビット線電流の流れる各部の抵抗値、即ち、R R A M 素子 2 自体の抵抗、選択トランジスタ 3 のオン抵抗、ビット線選択トランジスタ 4 のオン抵抗、ビット線 B L の配線抵抗（寄生抵抗）等の合計値で与えられる。従って、R R A M 素子 2 自体の抵抗に対して、その他の抵抗値が大きいと、相対的に上記ビット線電流差が小さくなり、安定した読み出し動作や高速動作が困難になる。

【0007】

図 22 に、ビット線電流経路の簡単なモデル例を示す。図 22 には、RRAM 素子 2 自体に接続される選択トランジスタ 3、複数のビット線 BL を選択するビット線選択トランジスタ 4、及び、ビット線 BL から構成される。ビット線選択トランジスタ 4 は元々複数のビット線 BL を選択するという目的から、ビット線と同数あればよく、メモリセルの選択トランジスタ 3 と比較するとその個数が少なく、オン抵抗を下げるためにトランジスタの駆動能力を上げること、つまりトランジスタのゲート幅を大きくしても、メモリアレイ全体に占める面積増大の影響は少ない。一方、ビット線自体の抵抗値を下げるためにはビット線の配線材料を低抵抗化するか、ビット線長を短くする等の方法がある。何れも従来からの不揮発性メモリに共通の課題である。一方、メモリセル内の選択トランジスタ 3 に関しては、状況が異なる。この選択トランジスタ 3 の駆動能力を上げるためには前述したトランジスタのゲート幅を大きくすることが効果的ではあるが、RRAM 素子 2 の夫々にこのトランジスタが接続されている、その個数が多く、ゲート幅を大きくすることは一気にメモリアレイ全体の面積増加となり、製造コストに大きな影響を与えることになる。結論として、選択トランジスタ 3 のオン抵抗が上記ビット線電流差を大きくできない大きな要因となっている。

【0008】

本発明は、上述の問題点に鑑みてなされたものであり、その目的は、上記問題点を解消し、メモリアレイ全体の面積増加を伴うことなくメモリセルの選択トランジスタのオン抵抗を下げることを可能とし、メモリセルの記憶データの読み出し動作の高速化及び安定動作を可能とする不揮発性メモリセル、及び、不揮発性半導体記憶装置を提供することにある。

【0009】

【課題を解決するための手段】

この目的を達成するための本発明に係る不揮発性メモリセルは、電気抵抗の変化により情報を記憶可能な可変抵抗素子を複数備え、前記各可変抵抗素子の一端同士を接続し、前記複数の可変抵抗素子を共通に選択する選択素子の一つの電極と前記各可変抵抗素子の前記一端とを接続していることを特徴とする。

【0010】

更に、本発明に係る不揮発性メモリセルは、前記可変抵抗素子が、電氣的ストレスにより電気抵抗の変化するRRAM素子、磁界により電気抵抗の変化するMRAM素子、または、熱により電気抵抗の変化するOUM素子であることを特徴とする。

【0011】

更に、本発明に係る不揮発性メモリセルは、前記選択素子がMOSFETで構成され、前記各可変抵抗素子の前記一端と接続する前記電極が前記MOSFETのドレインまたはソースであること、或は、前記選択素子がダイオード素子で構成され、前記各可変抵抗素子の前記一端と接続する前記電極が前記ダイオード素子のアノードまたはカソードであることを特徴とする。

【0012】

この目的を達成するための本発明に係る不揮発性半導体記憶装置は、本発明に係る不揮発性メモリセルを行方向及び列方向にマトリクス状に配列し、前記メモリセルの各行に行方向に沿って延伸するワード線を備え、前記メモリセルの各列に列方向に沿って延伸する前記メモリセル内の前記可変抵抗素子と同数のビット線を備えてなるメモリセルアレイを有することを特徴とする。

【0013】

更に、本発明に係る不揮発性半導体記憶装置は、前記メモリセルの夫々において、前記選択素子がMOSFETで構成され、前記MOSFETのドレインが前記各可変抵抗素子の一端と接続し、前記複数の可変抵抗素子の前記MOSFETと接続しない側の一端を各別に前記ビット線に接続し、前記MOSFETのソースをソース線に接続し、前記MOSFETのゲートが前記ワード線に接続してなることを特徴とする。

【0014】

更に、本発明に係る不揮発性半導体記憶装置は、前記メモリセルの夫々において、前記選択素子がダイオード素子で構成され、前記選択ダイオードのアノードまたはカソードが前記各可変抵抗素子の一端と接続し、前記複数の可変抵抗素子の前記ダイオード素子と接続しない側の一端を各別に前記ビット線に接続し、前記ダイオード素子の前記可変抵抗素子と接続しない側の電極を前記ワード線に接

続してなることを特徴とする。

【0015】

上記特徴構成によれば、MOSFETやダイオード素子等で構成される選択素子を複数の可変抵抗素子で共用することにより、可変抵抗素子に各別に設ける場合の選択素子の配置領域を一つの選択素子の配置領域として利用できるため、メモリアレイ全体の面積増加を伴わずに選択素子の抵抗値を小さくでき、記憶データに対応して選択された可変抵抗素子を通れるビット線電流の電流差を大きくすることができる。この結果、メモリセルの記憶データの読み出し動作の高速化及び安定動作を可能とする不揮発性メモリセル、及び、不揮発性半導体記憶装置を提供することができる。

【0016】

更に、本発明に係る不揮発性半導体記憶装置は、前記メモリセルアレイを1ブロックとして、少なくとも前記列方向に複数ブロックを配列し、前記各ブロックの前記ビット線をローカルビット線とし、そのローカルビット線を選択するローカルビット線選択トランジスタを設け、前記ローカルビット線が前記ローカルビット線選択トランジスタを介してグローバルビット線に接続される階層ビット線構造を有することを特徴とする。

【0017】

選択素子を複数の可変抵抗素子で共用することにより、メモリセルの記憶データの読み出し動作の高速化及び安定動作を可能となる一面、複数の可変抵抗素子の夫々に接続するビット線間で、非選択のメモリセルの可変抵抗素子を經由するリーク電流経路が発生するため、同じビット線に接続できるメモリセルの個数に上限ができることになる。

【0018】

しかしながら、階層ビット線構造を有する上記特徴構成によれば、ビット線方向へのメモリセルの増設が上記上限値を越えて可能となり、選択素子の低抵抗化を図りながら、大規模なメモリアレイ構成を構築することができる。

【0019】

更に、本発明に係る不揮発性半導体記憶装置は、読み出し対象として選択され

る前記メモリセルに接続する前記各ビット線が、当該読み出し動作に先立って夫々所定電位に充電されること、或は、読み出し対象として選択される前記メモリセルに接続する前記各ビット線を当該読み出し動作に先立って所定電位に充電するために、当該ビット線間にイコライズ用のトランジスタを設けていることを特徴とする。

【0020】

また、上記特徴構成によれば、各ビット線を読み出し動作に先立って所定電位に充電するため、複数の可変抵抗素子の夫々に接続するビット線間で、非選択のメモリセルの可変抵抗素子を経由するリーク電流経路が発生することに対し、そのリーク電流の影響を小さくして、選択したメモリセルの読み出し対象となる可変抵抗素子の抵抗変化を主として読み出すことにより、当該読み出し動作の高速化及び安定動作が可能となる。

【0021】

【発明の実施の形態】

本発明に係る不揮発性メモリセル、及び、不揮発性半導体記憶装置（以下、適宜「本発明装置」という。）の実施の形態につき、図面に基づいて説明する。尚、従来技術の不揮発性メモリセル、及び、不揮発性半導体記憶装置と重複する部分については、図面上同じ符号を付して説明する。

【0022】

〈第1実施形態〉

図1に本発明装置のメモリセル1の構成を示す。メモリセル1は、2つの可変抵抗素子2とその2つの可変抵抗素子を選択する選択素子としての1つのN型MOSFETで構成される選択トランジスタ3とを備え、各可変抵抗素子2の一端が夫々選択トランジスタ3のドレイン電極と接続されている。また、各可変抵抗素子2の他端が夫々異なったビット線BLに接続され、選択トランジスタ3のゲートがワード線WLに接続され、選択トランジスタ3のソースがソース線SLに接続される。本実施の形態では、1つのメモリセル内に2つの可変抵抗素子2を備えていることから、図17に示す従来のメモリセルと比較して2倍の記憶容量があることになるが、1つの可変抵抗素子2に1つのメモリセルを対応付けると

すれば、本実施の形態におけるメモリセル1は、2つのメモリセルが合体した形態と言える。

【0023】

本実施の形態では、可変抵抗素子2としてRRAM素子を用いる。RRAM素子は、電氣的ストレスの印加により電気抵抗が変化し、電氣的ストレス解除後も変化した電気抵抗が保持されることにより、その抵抗変化でデータの記憶が可能な不揮発性の記憶素子で、例えば、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、または、 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ （但し、 $x < 1$ 、 $y < 1$ 、 $x + y < 1$ ）で表される何れかの物質、例えば、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ 等のマンガ酸化膜をMOCVD法、スパッタリング法等で成膜して作成される。また、電氣的ストレスとしてRRAM素子の電極間に電圧パルスを印加し、そのパルス幅、電圧振幅またはその両方を調整することによりRRAM素子の抵抗変化量を制御する。

【0024】

図2に本発明装置のメモリアレイの構成を示す。メモリアレイは、メモリセル1を行方向（ワード線方向）と行方向（ビット線方向）にマトリクス状に複数配列してなり、更に、複数のビット線BL、複数のワード線WL、及び、複数のソース線SLを有する。1つのメモリセル1に対して、隣接する1対のビット線BLと1本のワード線WLとが交差する。各メモリセル1は、隣接する1対のビット線BLに対して接続されている可変抵抗素子2が選択トランジスタ3を共用してソース線SLに接続されている。ここで、隣接する1対のビット線BLをN型MOSFETで構成されるビット線選択トランジスタ4の一方をオンさせて選択することで、選択されたビット線BLに接続する可変抵抗素子2が選択される。

【0025】

図3に、図2に示すメモリアレイ構成の要部断面図を模式的に示す。ここで、図3（B）と従来のメモリアレイ構成の図19（B）を比較すると、選択トランジスタ3のゲート幅（ $W2 = 2 \times W1 + d$ ）が従来の選択トランジスタ3のゲー

ト幅 ($W1$) の2倍以上になっていることが分かる。即ち、2個分のゲート幅 ($2 \times W1$) + 素子分離領域10の幅 (d) が本実施の形態における選択トランジスタ3のゲート幅 ($W2$) となる。即ち、図19の従来技術と比較して、選択トランジスタ3の駆動能力が、同じレイアウト面積で2倍以上に向上されることを示している。この結果、メモリアレイ全体の面積増加を伴わずに選択トランジスタ3の抵抗値を小さくでき、可変抵抗素子2を流れるビット線電流の記憶データ間の電流差 (例えば、2値データの場合は、データ0を読み出す電流値とデータ1を読み出す電流値の差) を大きくすることができる。

【0026】

〈第2実施形態〉

次に、図2に示すメモリアレイ構成をベースに階層ビット線構造を採用したメモリアレイ構成を図4に、また、当該階層ビット線構造における読み出し回路の一例を図5に夫々示す。メモリセル1から高速且つ安定して記憶データの読み出しを実現するために、図4のように階層ビット線構造のメモリアレイ構成とすることができる。

【0027】

本実施の形態の階層ビット線構造では、メモリセル1に直接接続するビット線をローカルビット線LBLと称す。列方向に同じローカルビット線LBLに接続するメモリアレイを1ブロックとして、列方向に複数ブロックを配列し、各ブロックのローカルビット線LBLを選択するローカルビット線選択トランジスタ11を設け、ローカルビット線LBLがローカルビット線選択トランジスタ11を介してグローバルビット線GBLに接続される。また、グローバルビット線GBLはグローバルビット線選択トランジスタ12を介して、読み出し回路5に接続される。ここで、ローカルビット線選択トランジスタ11とグローバルビット線選択トランジスタ12の各1つを選択的にオンにすることで、読み出し対象の可変抵抗素子2と読み出し回路5がローカルビット線LBLとグローバルビット線GBLを介して接続される。従って、ローカルビット線選択トランジスタ11とグローバルビット線選択トランジスタ12が、図2に示した実施形態のメモリアレイにおけるビット線選択トランジスタ4に相当する。

【0028】

図4、図5、及び、図6に示す信号タイミング波形図を用いて、メモリセル1の読み出し動作につき説明する。ここで、図4において、読み出し対象のメモリセル1を1A、その中の読み出し対象の可変抵抗素子2を2A、読み出し対象でない可変抵抗素子2を2B、メモリセル1Aの選択トランジスタ3を3Aとする。可変抵抗素子2Aに接続するローカルビット線LBL1と可変抵抗素子2Bに接続されているローカルビット線LBL2に接続するローカルビット線選択トランジスタ11aと11bを夫々オン状態にするためにローカルビット線選択信号BK1とBK2を高レベルにする。同時に、選択トランジスタ3Aをオン状態にするため、ワード線WL2を高レベルにする。メモリセル1Aに接続するソース線SLを接地電位にし、ローカルビット線LBL1、LBL2にローカルビット線選択トランジスタ11a、11bを介して接続されるグローバルビット線GBL1を選択すべく、グローバルビット線選択トランジスタ12をオン状態にするためにグローバルビット線選択信号COL1を高レベルとする。この状態で、読み出し回路5内の負荷回路8から、選択されたグローバルビット線GBL1とローカルビット線LBL1、LBL2の充電を行う。選択されたローカルビット線LBL1に対する読み出し用の充電レベルは、例えば、1～1.5Vである。ある充電レベルに達したところで、ローカルビット線選択信号BK2を低レベルにしてローカルビット線選択トランジスタ11bをオフにし、ローカルビット線LBL2に対する充電を停止する。上記の処理手順により、充電回路から、グローバルビット線GBL1、ローカルビット線LBL1、可変抵抗素子2A、選択トランジスタ3A、ソース線SLと続く電流経路が形成される。ここで、負荷回路8の負荷特性と可変抵抗素子2Aの抵抗値で決定されるビット線電流によりコンパレータ回路9の入力電圧が決定される。コンパレータ回路9の動作は、図20に示す従来技術のものと同様である。

【0029】

図5に示すように、読み出し対象でない側の可変抵抗素子2Bが選択トランジスタ3Aのドレインに接続されているが、ローカルビット線選択信号BK2が低レベルでローカルビット線選択トランジスタ11bがオフ状態なので、可変抵抗

素子 2 A を通過する電流経路に影響しない。

【0030】

尚、列方向に沿って共通のローカルビット線 LBL に接続するメモリセル 1 の総数は回路動作上、上限値が存在し、その上限値は、可変抵抗素子 2 の記憶データに対応して決まる各抵抗値（2 値データを記憶する場合であれば、データ 0 の抵抗値とデータ 1 の抵抗値）、及び、選択トランジスタ 3 のオン抵抗に基づいて決定される。これは、1 対のローカルビット線 LBL 1、LBL 2 間に、非選択のメモリセル 1 の 2 つの可変抵抗素子 2 を介してリーク電流経路が形成されることに起因するものであるが、上記の如く、1 対のローカルビット線 LBL 1、LBL 2 を充電することで、このリーク電流経路の影響を軽減することができる。

【0031】

〈第 3 実施形態〉

図 7 に本発明装置の第 3 実施形態を示す。図 4 に示す第 2 実施形態と異なる点は、同じメモリセル 1 に接続する 1 対のローカルビット線 LBL 1、LBL 2 間に、上記充電期間中に当該 1 対のローカルビット線 LBL 1、LBL 2 を同電位にイコライズするためのトランジスタ 13 が接続されている点である。図 8 の信号タイミング波形図に示すように、第 2 実施形態では、ローカルビット線選択信号 BK 2 を充電期間中に一旦高レベルにしたが、本第 3 実施形態では、ローカルビット線選択信号 BK 2 は低レベルを維持し、その代わりに、イコライズ信号 EQ 1 を充電期間中に高レベルにしてイコライズ用のトランジスタ 13 をオンさせて、ローカルビット線 LBL 2 の充電を行う。1 対のローカルビット線 LBL 1、LBL 2 の充電方法が異なるのみで、その他の動作は第 2 実施形態の場合と同じである。

【0032】

〈第 4 実施形態〉

図 9 及び図 10 に本発明装置の第 4 実施形態を示す。図 9 に示すメモリセル構成は、3 つの可変抵抗素子 2 とその 3 つの可変抵抗素子 2 を選択する選択素子としての 1 つの MOSFET で構成される選択トランジスタ 3 とを備え、各可変抵抗素子 2 の一端が夫々選択トランジスタ 3 のドレイン電極と接続されている。ま

た、各可変抵抗素子 2 の他端が夫々異なったビット線 BL に接続され、選択トランジスタ 3 のゲートがワード線 WL に接続され、選択トランジスタ 3 のソースがソース線 SL に接続される。本実施の形態では、1 つのメモリセル 14 内に 3 つの可変抵抗素子 2 を備えていることから、図 17 に示す従来のメモリセルと比較して 3 倍の記憶容量があることになるが、1 つの可変抵抗素子 2 に 1 つのメモリセルを対応付けるとすれば、本実施の形態におけるメモリセル 14 は、3 つのメモリセルが合体した形態と言える。図 10 に図 9 に示すメモリセル 14 を用いた階層ビット線構造のメモリアレイ構成を示す。

【0033】

図 4 に示す第 2 実施形態とは、上記の如く、1 つの選択トランジスタ 3 を共用している可変抵抗素子 2 の個数が異なるのみで、ローカルビット線選択トランジスタ 11a、11b、11c を制御することで、第 2 実施形態と同様に読み出しが可能となる。尚、読み出し回路 5 は図 5 に示す回路構成と同じである。

【0034】

具体的には、図 10 において、読み出し対象のメモリセル 14 を 14A、その中の読み出し対象の可変抵抗素子 2 を 2A、読み出し対象でない可変抵抗素子 2 を 2B と 2C、メモリセル 14A の選択トランジスタ 3 を 3A とすると、可変抵抗素子 2A に接続するローカルビット線 LBL1 と可変抵抗素子 2B に接続されているローカルビット線 LBL2 と可変抵抗素子 2C に接続されているローカルビット線 LBL3 に接続するローカルビット線選択トランジスタ 11a、11b、11c を夫々オン状態にするためにローカルビット線選択信号 BK1、BK2、BK3 を高レベルにする。同時に、選択トランジスタ 3A をオン状態にするため、ワード線 WL2 を高レベルにする。メモリセル 14A に接続するソース線 SL を接地電位にし、ローカルビット線 LBL1、LBL2、LBL3 にローカルビット線選択トランジスタ 11a、11b、11c を介して接続されるグローバルビット線 GBL1 を選択すべく、グローバルビット線選択トランジスタ 12 をオン状態にするためにグローバルビット線選択信号 COL1 を高レベルとする。この状態で、読み出し回路 5 内の負荷回路 8 から、選択されたグローバルビット線 GBL1 とローカルビット線 LBL1、LBL2、LBL3 の充電を行う。選

択されたローカルビット線 $LBL1$ に対する読み出し用の充電レベルは、例えば、 $1 \sim 1.5V$ である。ある充電レベルに達したところで、ローカルビット線選択信号 $BK2$ 、 $BK3$ を低レベルにしてローカルビット線選択トランジスタ $11b$ 、 $11c$ をオフにし、ローカルビット線 $LBL2$ 、 $LBL3$ に対する充電を停止する。上記の処理手順により、第2実施形態と同様に、充電回路から、グローバルビット線 $GBL1$ 、ローカルビット線 $LBL1$ 、可変抵抗素子 $2A$ 、選択トランジスタ $3A$ 、ソース線 SL と続く電流経路が形成され、負荷回路8の負荷特性と可変抵抗素子 $2A$ の抵抗値で決定されるビット線電流によりコンパレータ回路9の入力電圧が決定され、コンパレータ回路9によって読み出し動作が実行される。

【0035】

図11に、図10に示すメモリアレイ構成の要部断面図を模式的に示す。図11より、選択トランジスタ3のゲート幅 ($W3 = 3 \times W1 + 2 \times d$) を更に広げることが可能であることが分かる。

【0036】

本第4実施形態では、1つの選択トランジスタ3が3つの可変抵抗素子2と接続する場合を説明したが、1つのメモリセル内において1つの選択トランジスタ3を共用する可変抵抗素子2が4以上であってもよく、その場合、選択トランジスタ3のゲート幅を更に広げることが可能となる。

【0037】

〈第5実施形態〉

図12に、本発明装置の第5実施形態を示す。第5実施形態では、図1に示すメモリセル1を用いて、1つのメモリセル1内の2つの可変抵抗素子2の抵抗値を、当該2つの可変抵抗素子2に接続する1対のビット線（ローカルとグローバル）を使用して読み出す回路構成となっている。例えば、1つのメモリセル内に1ビットデータ（2値データ）を記憶している場合、一方の可変抵抗素子2が高抵抗で、他方の可変抵抗素子2が低抵抗になっており、1対のビット線（ローカルとグローバル）の両方が充電され、何れの可変抵抗素子2が高抵抗（或は低抵抗）かで、夫々のビット線電流に正負何れかの極性で差が生じ、図13に示す読

み出し回路 15 でデータを読み出す。読み出し回路 15 の構成は、図 5 に示す第 1 乃至第 4 の実施形態の読み出し回路 5 とは異なり、コンパレータ回路 9 には、上記 1 対のビット線を通るビット線電流で決まるノード N1、N2 の電圧が入力され、参照用の基準電圧 V_{ref} は使用されない。

【0038】

このように、2 本のビット線を使用するため、ローカルビット線 LBL とグローバルビット線 GLB の関係が、第 2 乃至第 4 の実施形態とは異なる。つまり、第 1 乃至第 4 の実施形態では、同じメモリセル 1、14 に接続するローカルビット線が 1 つのグローバルビット線に接続するが、第 5 実施形態では、同じメモリセル 1 の 1 対のローカルビット線が各別に 1 対のグローバルビット線に接続され、1 本のグローバルビット線は隣接するメモリセルのローカルビット線同士で共用する形態となっている。

【0039】

以下に、別の実施形態につき説明する。

〈1〉上記各実施形態では、メモリセル 1、14 は、選択素子として MOSFET で構成される選択トランジスタ 3 を用いていたが、例えば、図 14 に示すように、選択トランジスタ 3 に代えてダイオード素子 17 を用いてメモリセル 16 を構成しても構わない。具体的には、2 つの可変抵抗素子 2 とその 2 つの可変抵抗素子を選択する選択素子としての 1 つのダイオード素子 17 とを備え、各可変抵抗素子 2 の一端が夫々ダイオード素子 17 のアノードと接続されている。また、各可変抵抗素子 2 の他端が夫々異なったビット線 BL に接続され、ダイオード素子 17 のカソードがワード線 WL に接続される。メモリアレイ構成を図 15 に示す。本別実施形態でも、選択トランジスタ 3 の場合と同様に、ダイオード素子 17 の配置面積を大きくする事ができるため、選択トランジスタ 3 を用いる場合と同様の効果が期待できる。

【0040】

〈2〉上記各実施形態では、可変抵抗素子 2 として RRAM 素子を用いる場合を例として説明したが、RRAM 素子に代えて、MRAM 素子または OUM 素子を用いても構わない。MRAM 素子や OUM 素子は、磁界や熱により電気抵抗を変

化させる点で、R R A M素子とは異なるが、電気抵抗の変化により情報を記憶可能な可変抵抗素子である点においてR R A M素子と同様であるため、記憶するデータに対応して取り得る抵抗値によっては、図21に示したビット線電流の電流－電圧特性を示し、上記各実施形態と同様に読み出し動作の高速化や安定化という改善効果が期待される。

【0041】

【発明の効果】

以上、本発明によれば、メモリアレイ全体の面積増加を伴うことなくメモリセルの選択素子（選択トランジスタやダイオード素子）のオン抵抗を下げる事が可能となり、メモリセルの記憶データの読み出し動作の高速化及び安定動作を可能とする不揮発性メモリセル、及び、不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明に係る不揮発性半導体記憶装置のメモリセル構成の一例を示す回路図

【図2】

本発明に係る不揮発性半導体記憶装置のメモリアレイの構成例（第1実施形態）を示す回路ブロック図

【図3】

（A）図2に示すメモリアレイ構成のA－A断面の要部断面を模式的に示す断面図と、

（B）図2に示すメモリアレイ構成のB－B断面の要部断面を模式的に示す断面図

【図4】

本発明に係る不揮発性半導体記憶装置の階層ビット線構造を採用したメモリアレイの構成例（第2実施形態）を示す回路ブロック図

【図5】

図4に示すメモリアレイ構成における読み出し回路の一例を示す回路ブロック図

【図 6】

図 4 に示すメモリアレイ構成における読み出し動作を説明する信号タイミング波形図

【図 7】

本発明に係る不揮発性半導体記憶装置の階層ビット線構造を採用したメモリアレイの他の構成例（第 3 実施形態）を示す回路ブロック図

【図 8】

図 7 に示すメモリアレイ構成における読み出し動作を説明する信号タイミング波形図

【図 9】

本発明に係る不揮発性半導体記憶装置のメモリセル構成の他の一例（第 4 実施形態）を示す回路図

【図 10】

本発明に係る不揮発性半導体記憶装置の階層ビット線構造を採用したメモリアレイの他の構成例（第 4 実施形態）を示す回路ブロック図

【図 11】

(A) 図 10 に示すメモリアレイ構成の A-A 断面の要部断面を模式的に示す断面図と、

(B) 図 10 に示すメモリアレイ構成の B-B 断面の要部断面を模式的に示す断面図

【図 12】

本発明に係る不揮発性半導体記憶装置の階層ビット線構造を採用したメモリアレイの他の構成例（第 5 実施形態）を示す回路ブロック図

【図 13】

図 12 に示すメモリアレイ構成における読み出し回路の一例を示す回路ブロック図

【図 14】

本発明に係る不揮発性半導体記憶装置のメモリセル構成の他の一例（別実施形態）を示す回路図

【図 15】

本発明に係る不揮発性半導体記憶装置の階層ビット線構造を採用したメモリアレイの他の構成例（別実施形態）を示す回路ブロック図

【図 16】

従来の不揮発性半導体記憶装置のMTJ素子を利用したメモリセル構成を示す回路図

【図 17】

従来の不揮発性半導体記憶装置のRRAM素子を利用したメモリセル構成を示す回路図

【図 18】

図 17 に示すメモリセルを使用した場合のメモリセルアレイ構成を示す回路図

【図 19】

(A) 図 18 に示すメモリアレイ構成のA-A断面の要部断面を模式的に示す断面図と、

(B) 図 18 に示すメモリアレイ構成のB-B断面の要部断面を模式的に示す断面図

【図 20】

従来の不揮発性半導体記憶装置の読み出し回路の一例を示す回路ブロック図

【図 21】

ビット線電流の電流－電圧特性と負荷特性を示すグラフ

【図 22】

従来の不揮発性半導体記憶装置のビット線電流経路の簡単なモデル例を示す回路図

【符号の説明】

- 1、14、16： メモリセル
- 2： 可変抵抗素子（RRAM素子）
- 3： 選択トランジスタ
- 4： ビット線選択トランジスタ
- 5、15、19： 読み出し回路

6、18： ワード線ドライバ

7： ソース線制御回路

8： 負荷回路

9： コンパレータ回路

10： 素子分離領域

11： ローカルビット線選択トランジスタ

12： グローバルビット線選択トランジスタ

13： イコライズ用のトランジスタ

17： ダイオード素子

WL (WL 1～WL 3)： ワード線

BL： ビット線

LBL (LBL 1、LBL 2)： ローカルビット線

LBLB： ローカルビット線 (LBLと対)

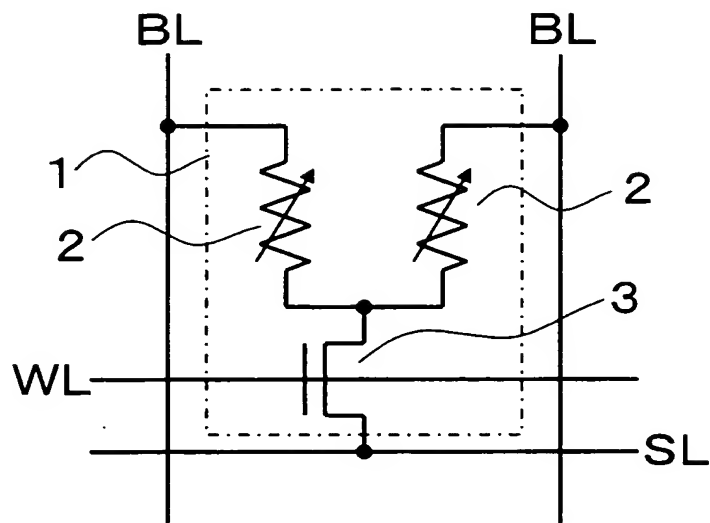
GBL (GBL 1、GBL 2)： グローバルビット線

GBLB (GBL 1B)： グローバルビット線 (GBLと対)

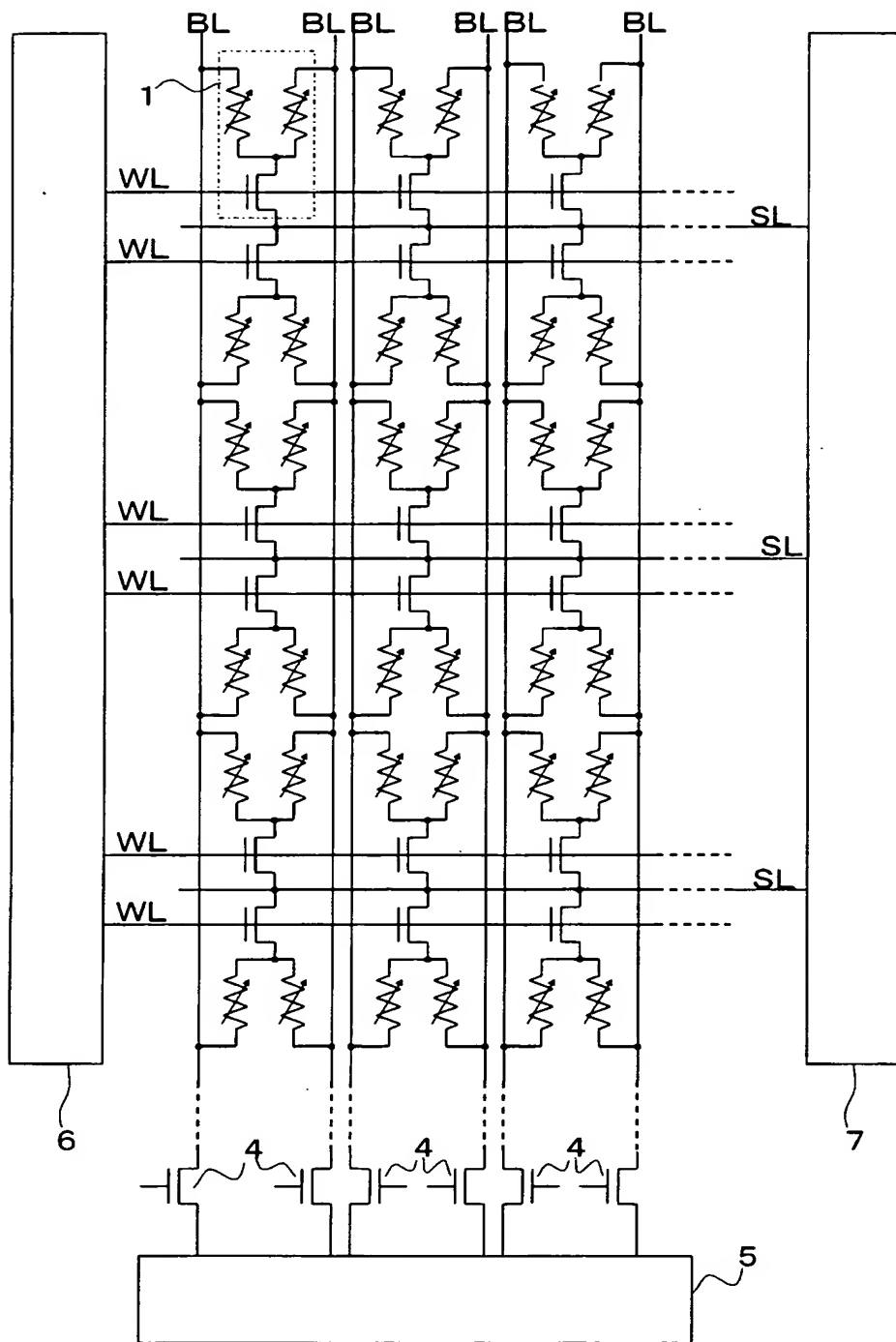
SL： ソース線

【書類名】 図面

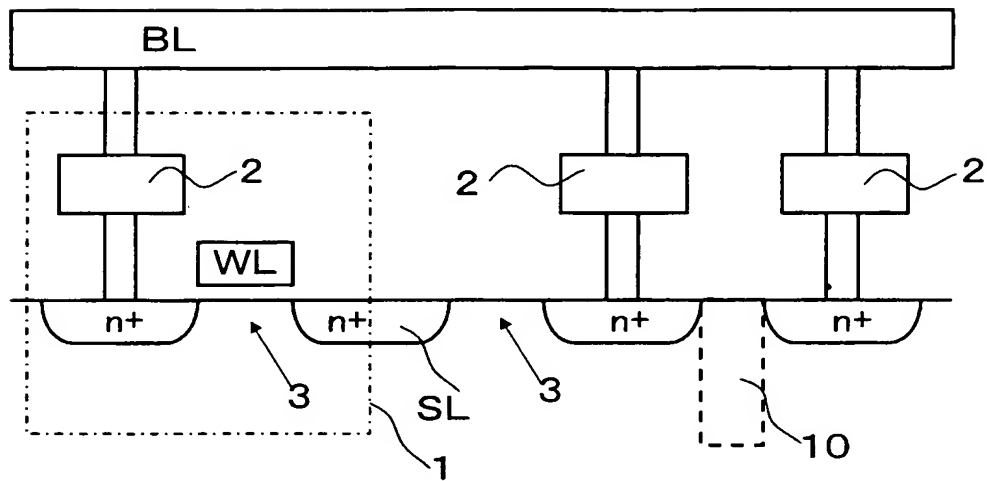
【図 1】



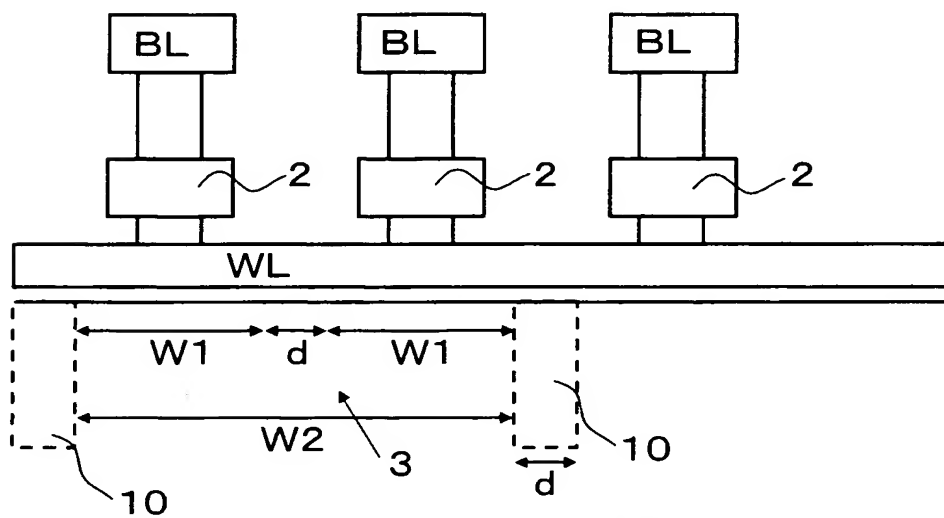
【図 2】



【図 3】

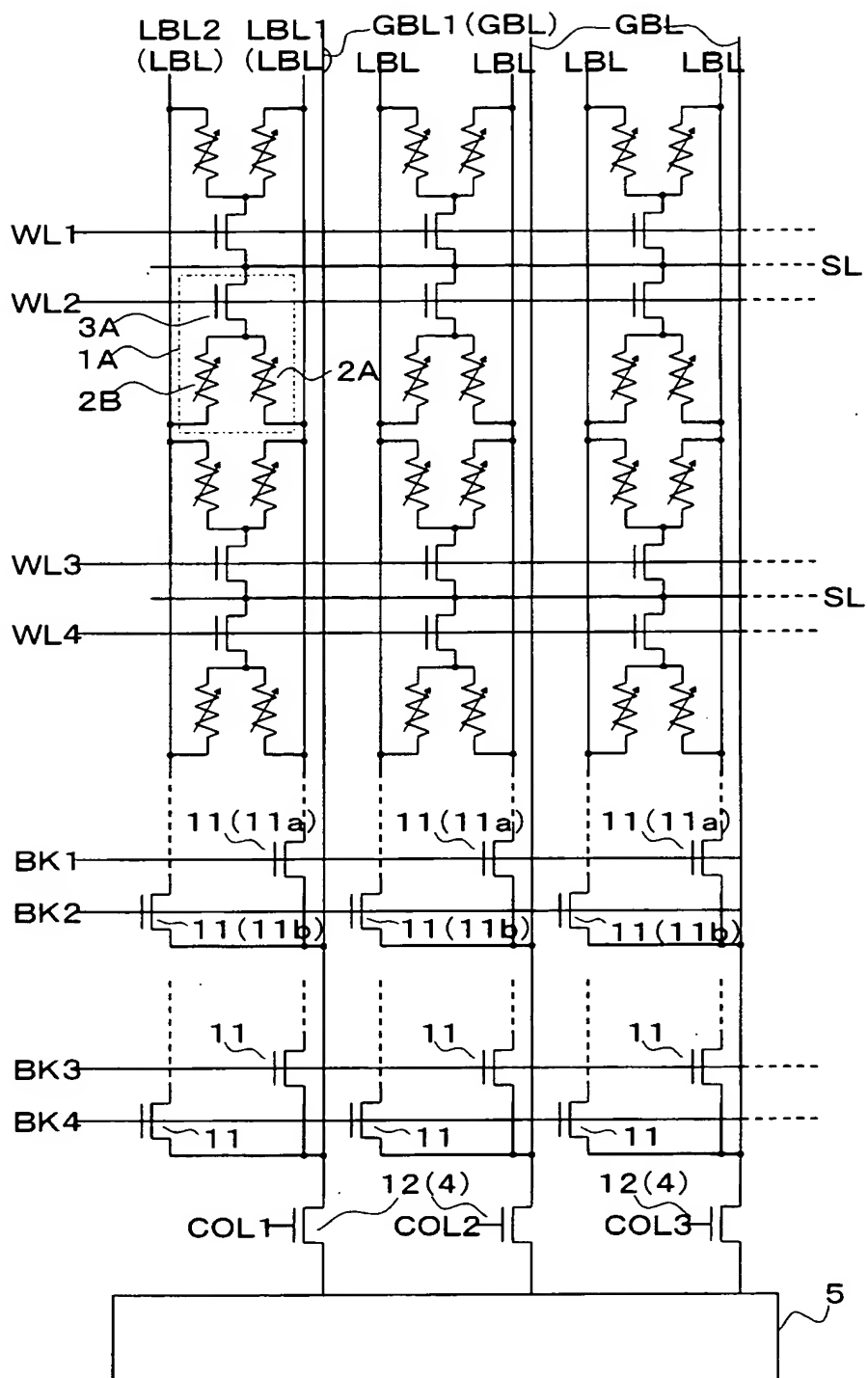


(A) A-A断面図

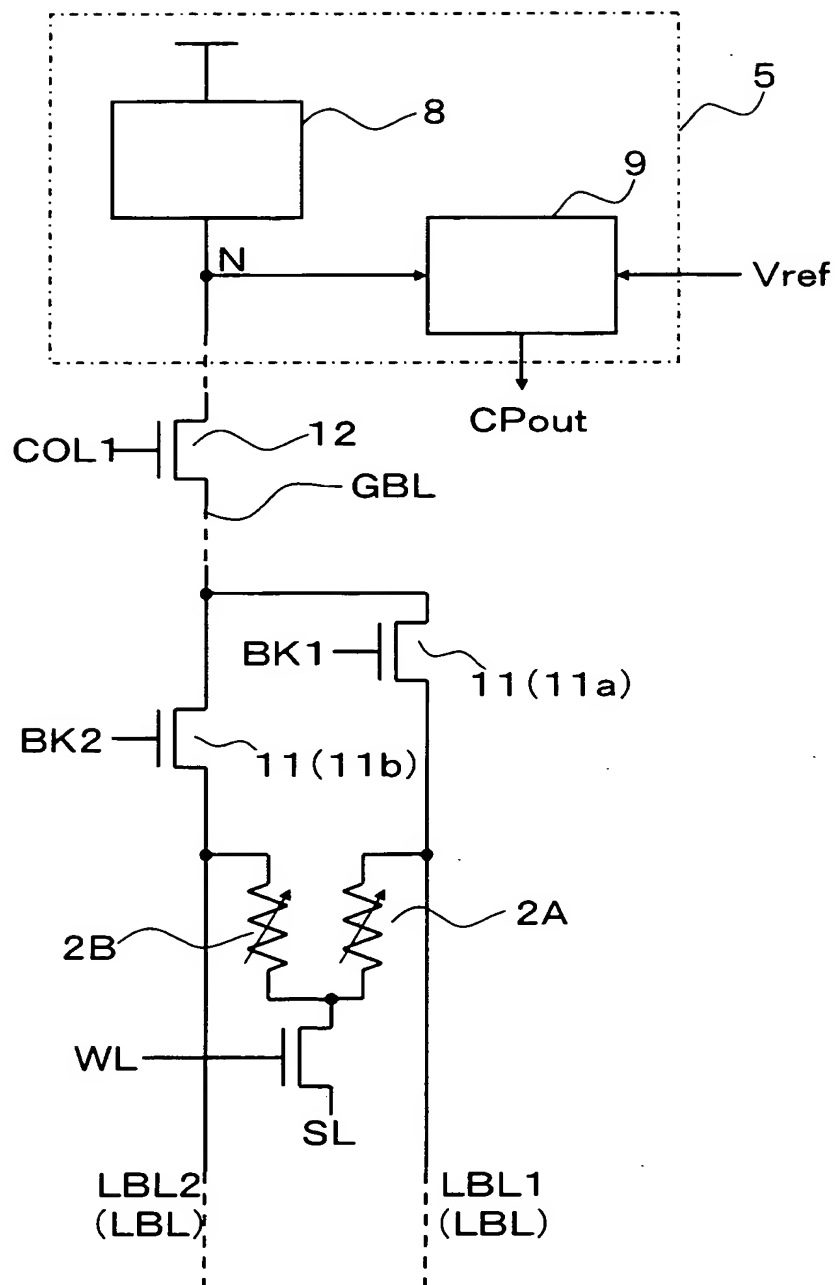


(B) B-B断面図

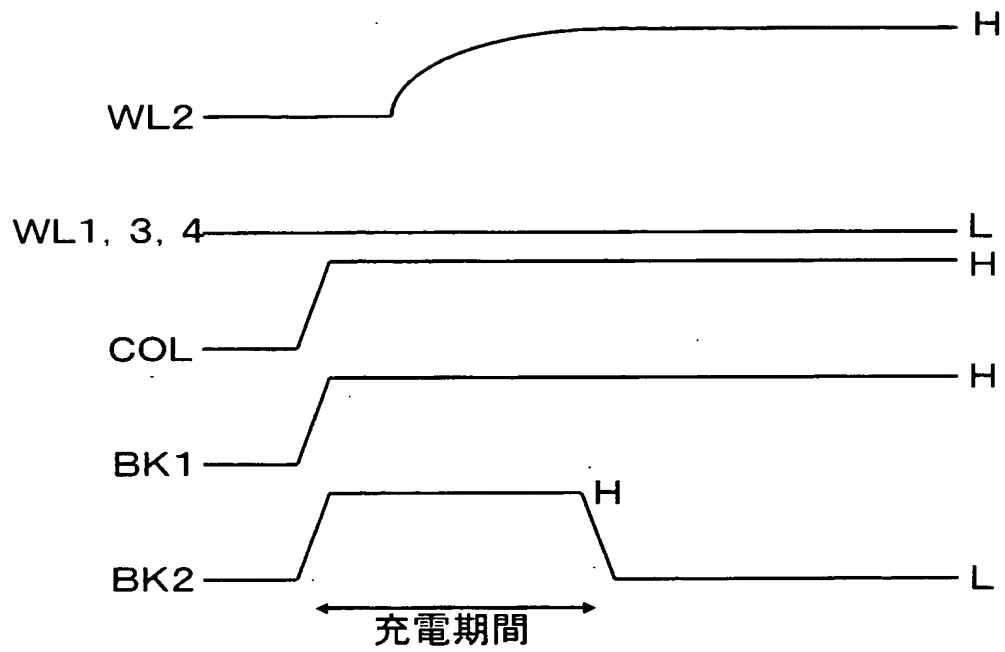
【図 4】



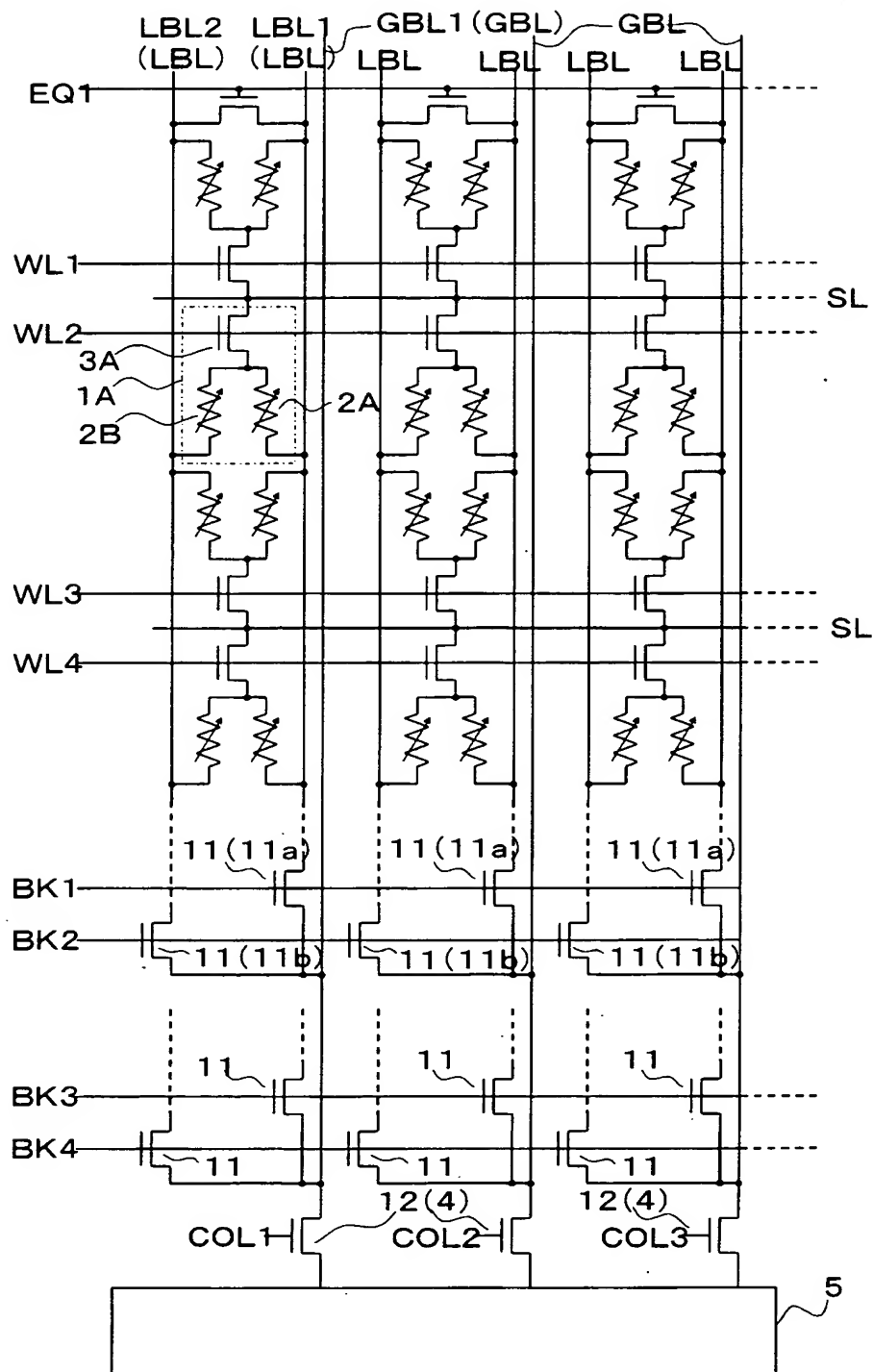
【図 5】



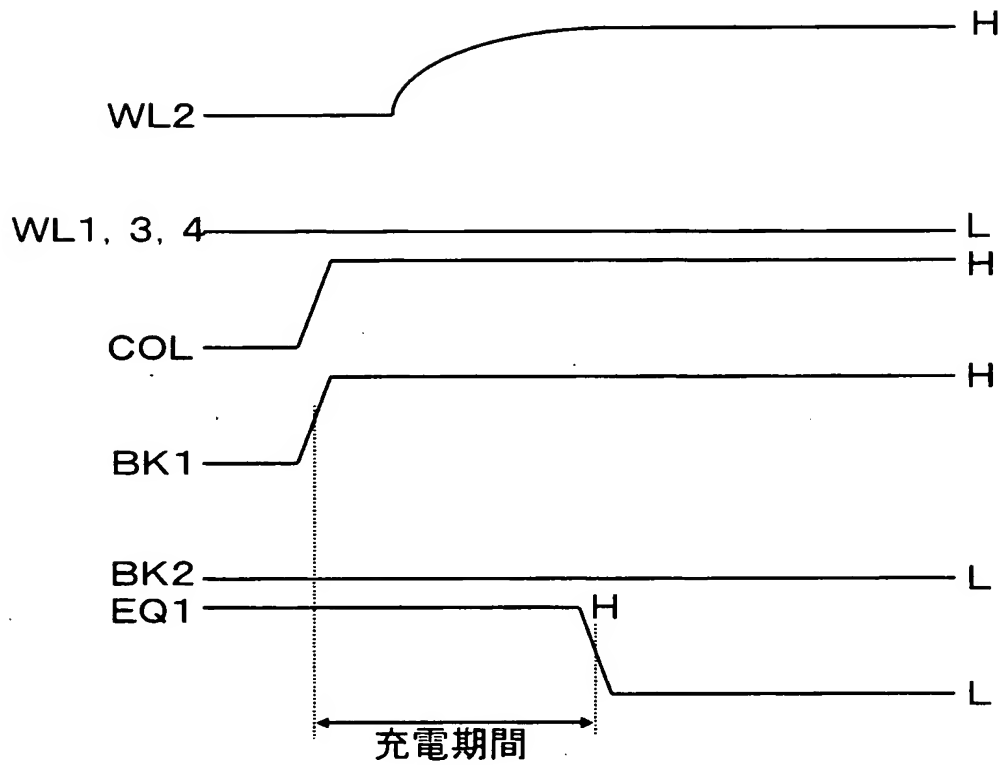
【図 6】



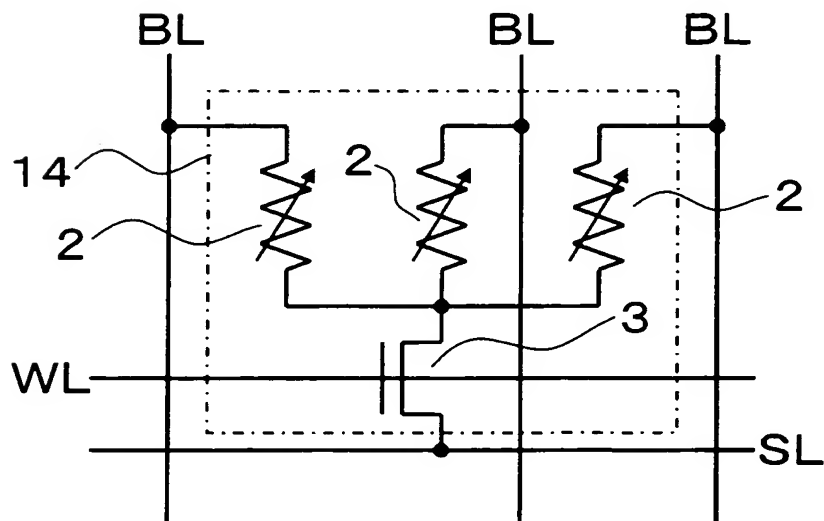
【図 7】



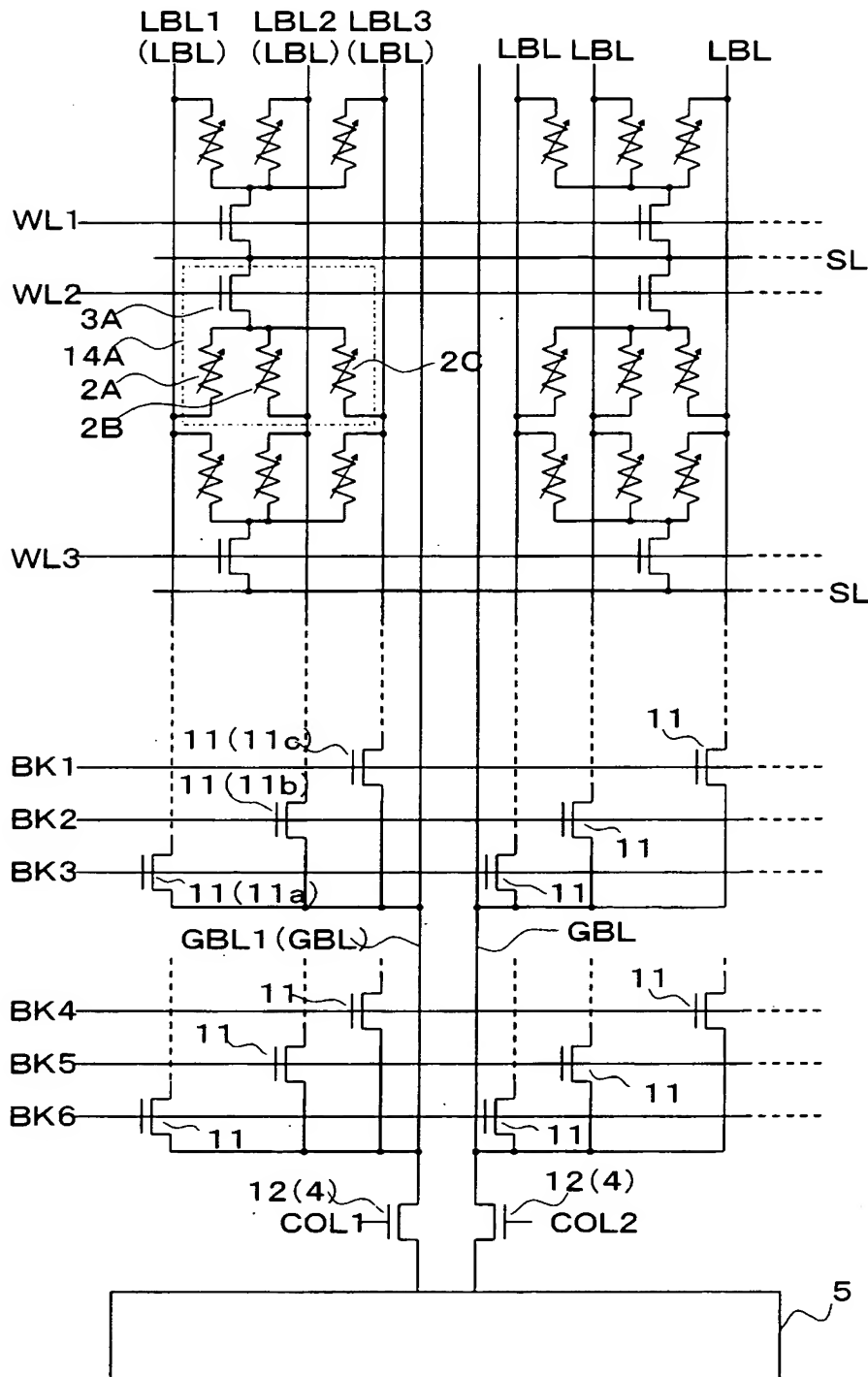
【図 8】



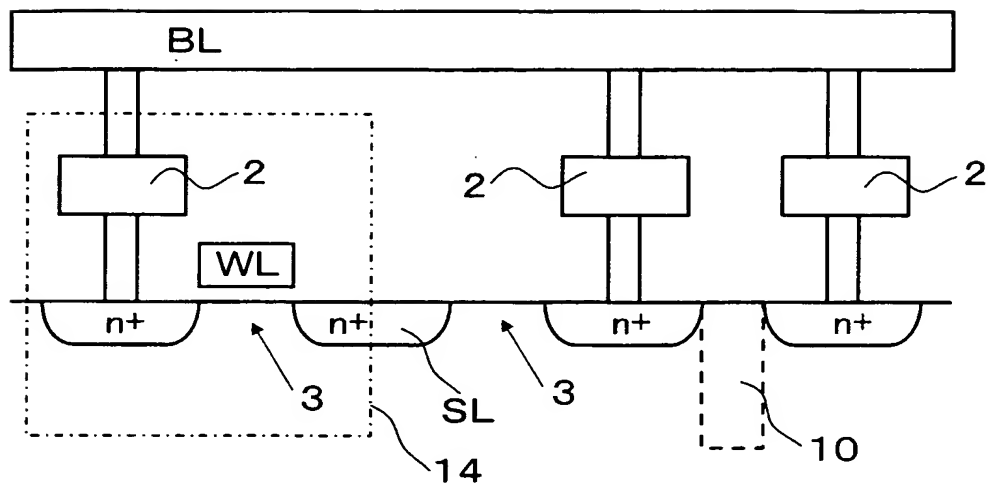
【図 9】



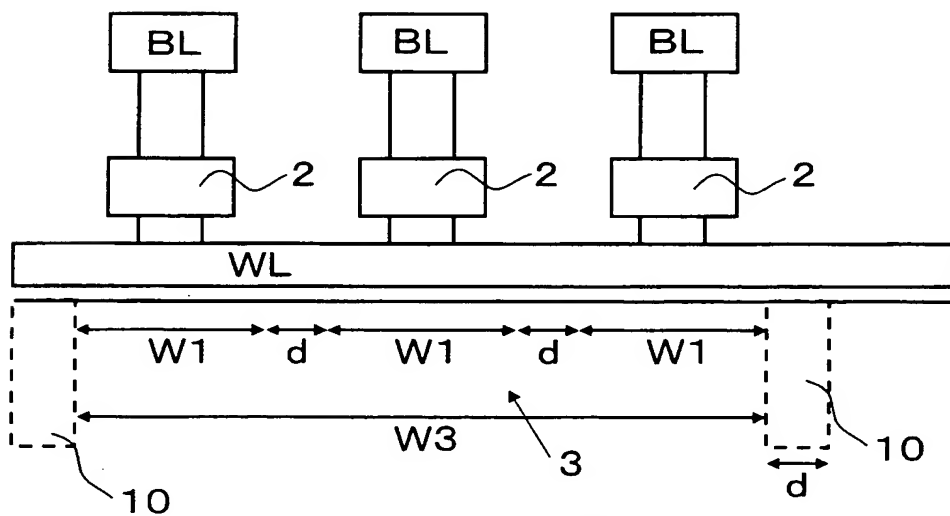
【図 10】



【図 11】

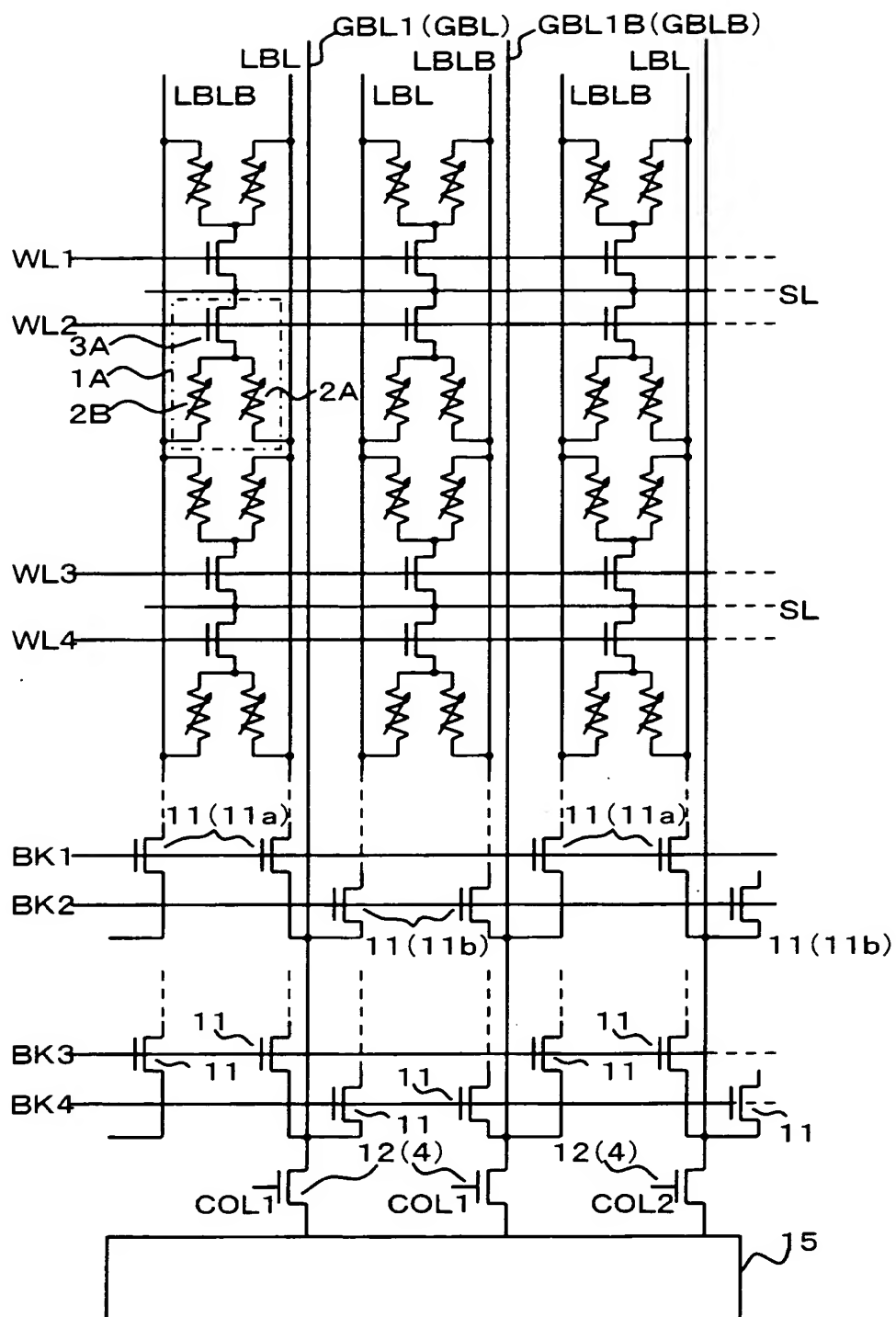


(A) A-A断面図

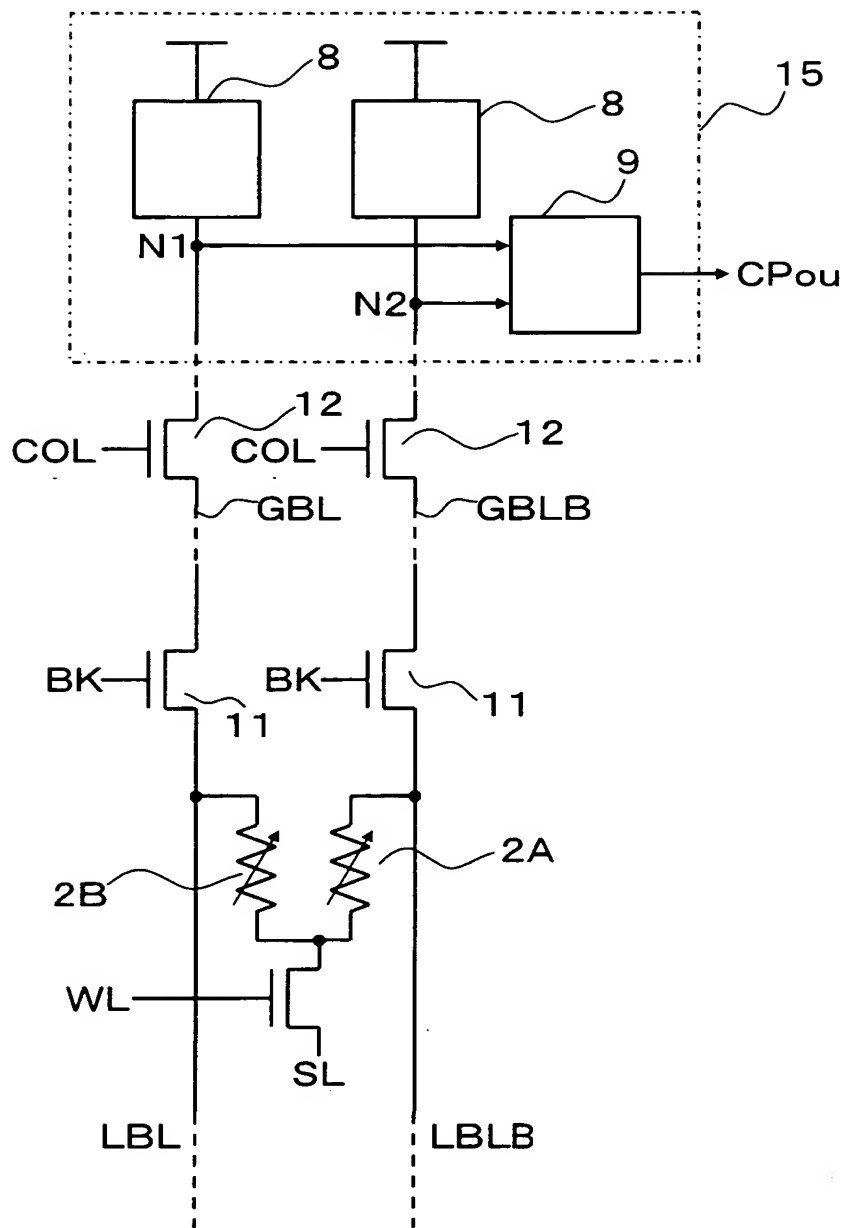


(B) B-B断面図

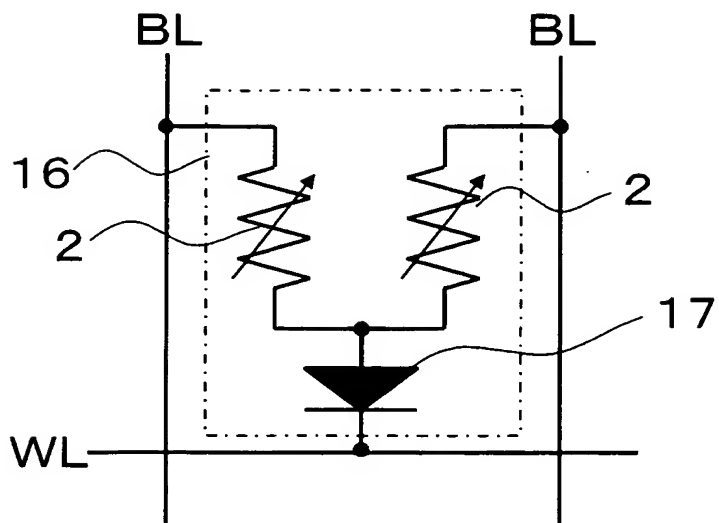
【図 12】



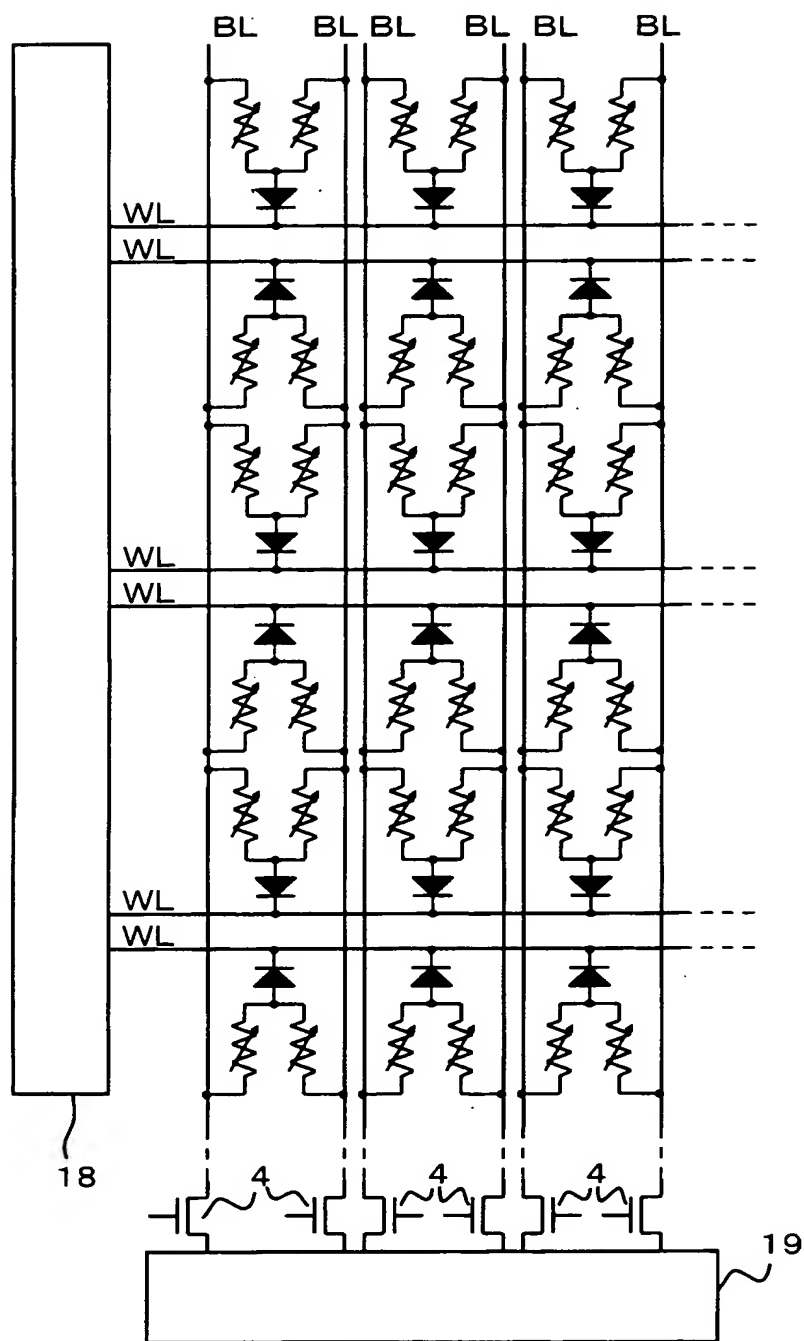
【図 13】



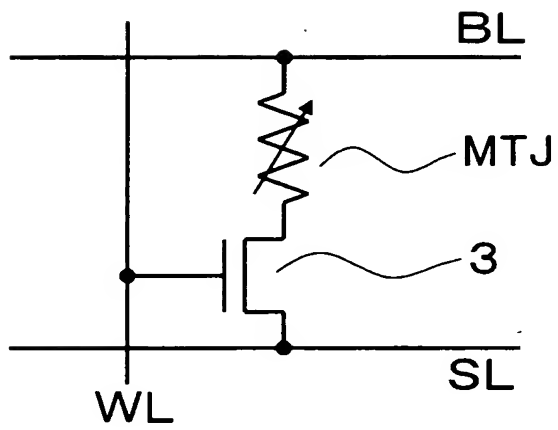
【図 14】



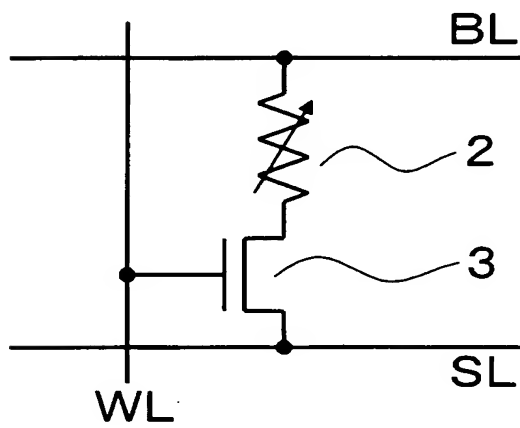
【図 15】



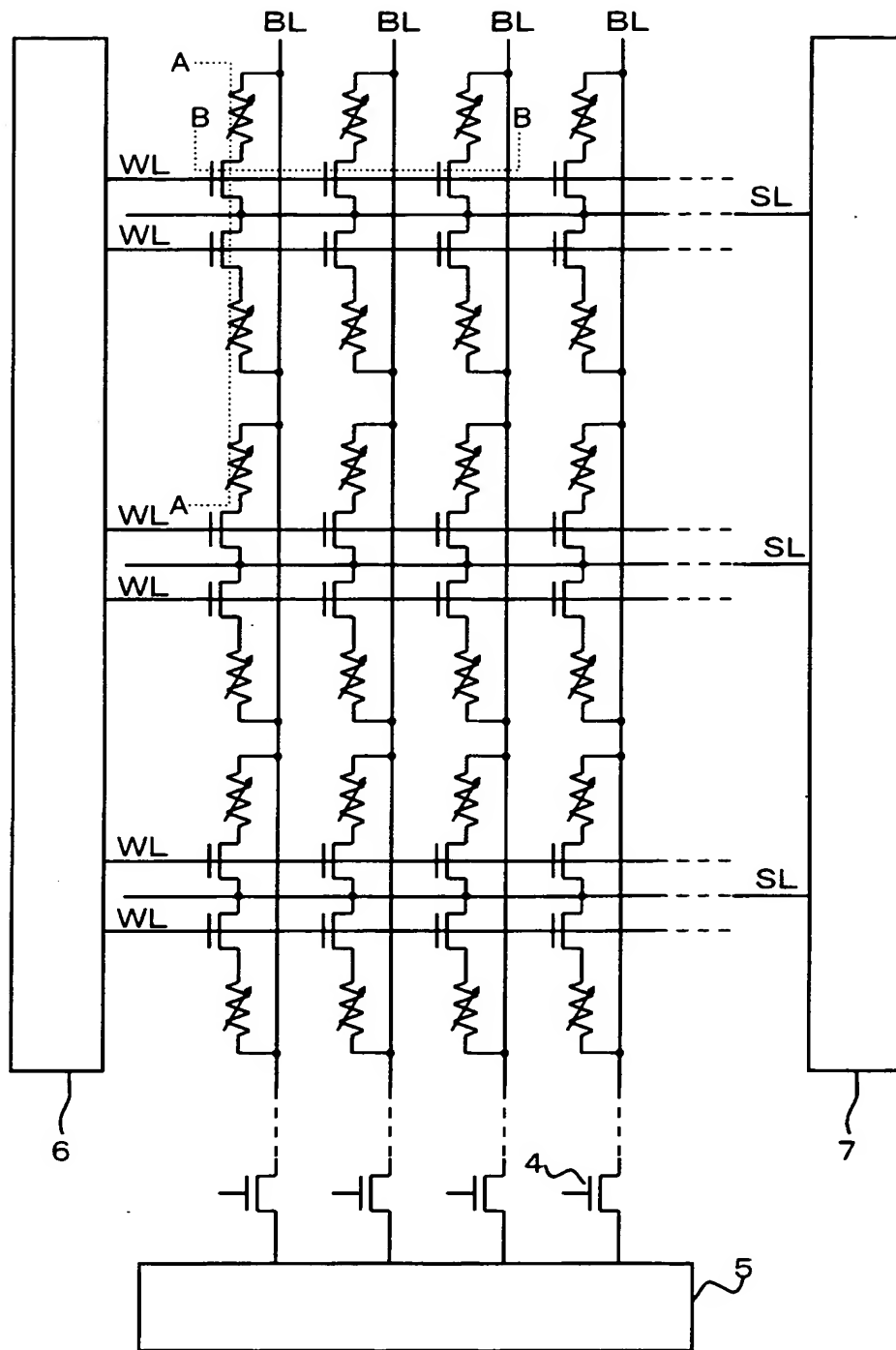
【図 16】



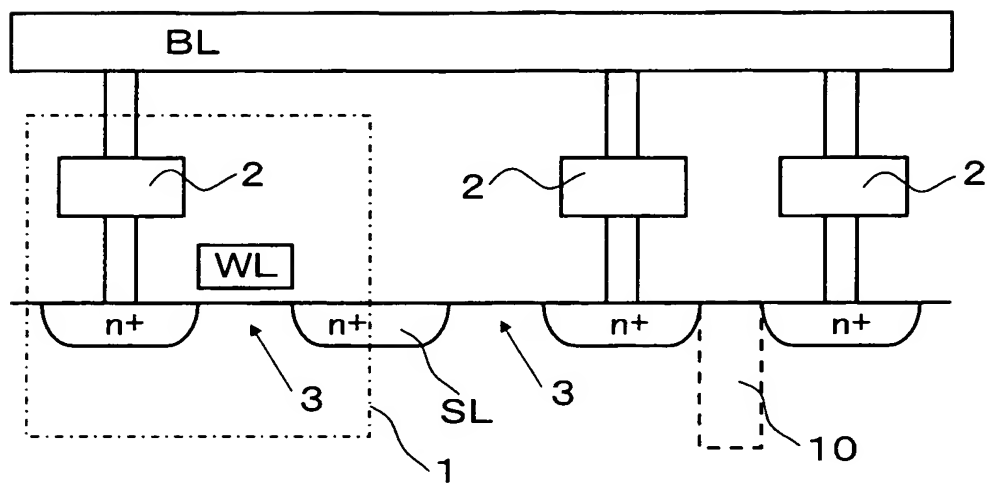
【図 17】



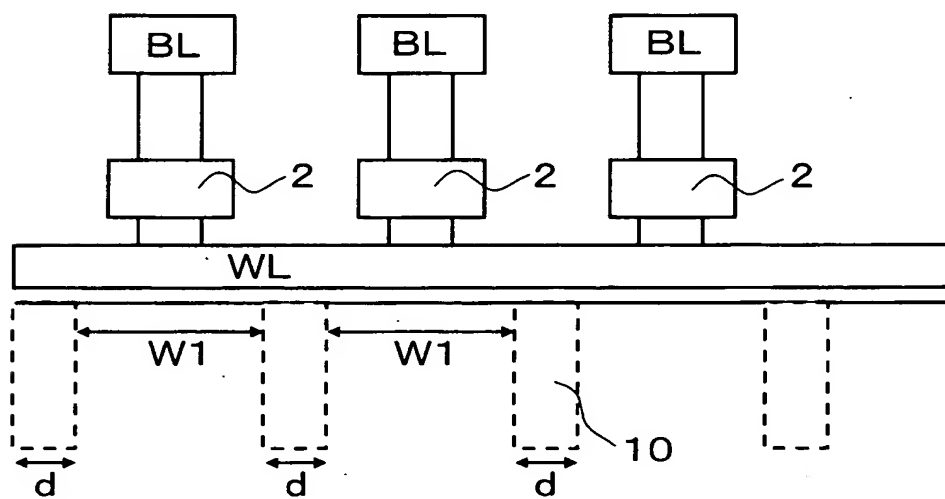
【図 18】



【図 19】

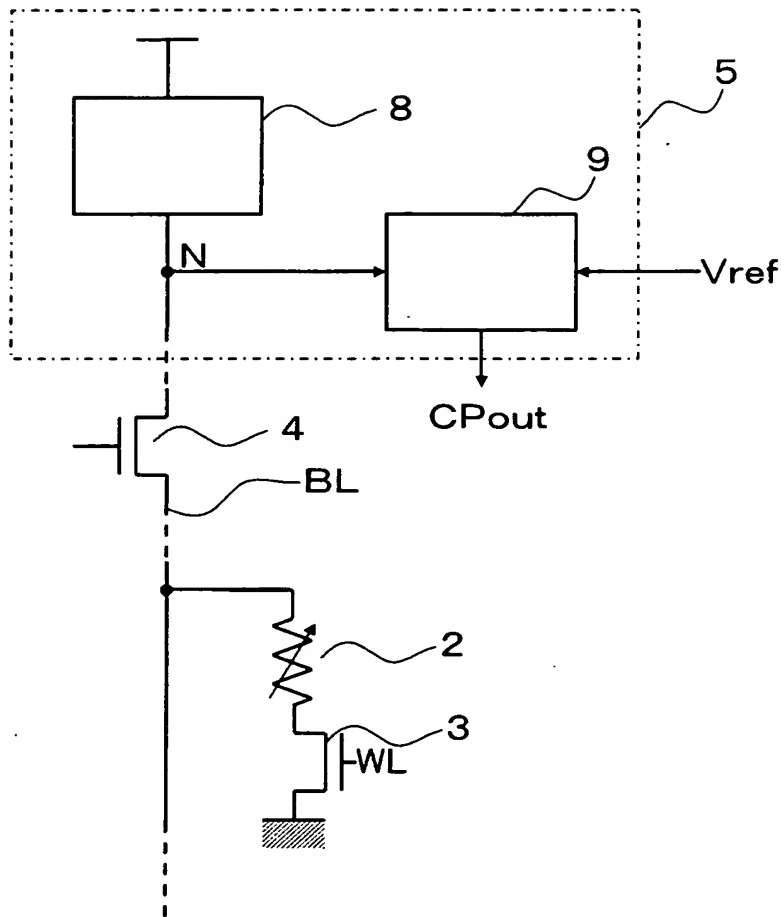


(A) A-A断面図

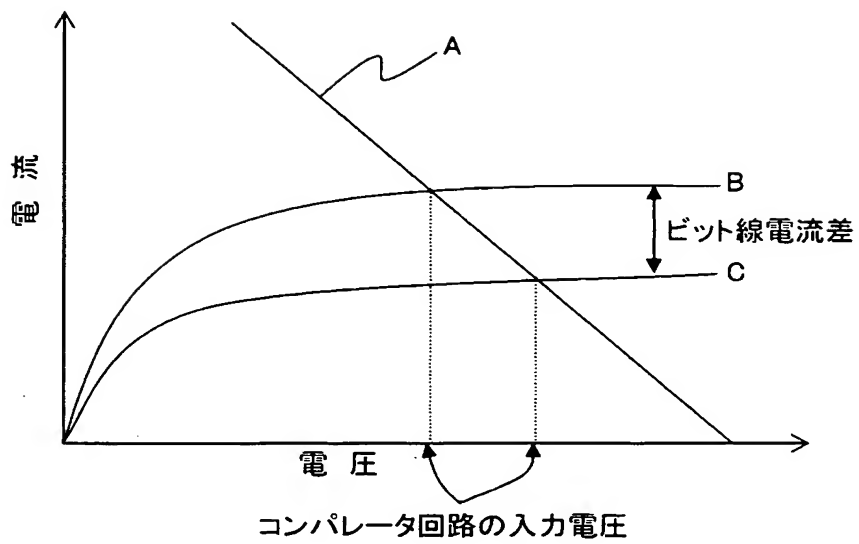


(B) B-B断面

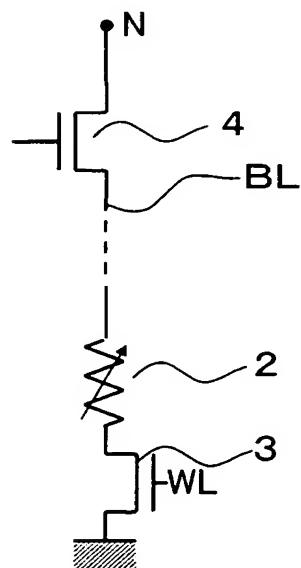
【図 20】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 メモリアレイ全体の面積増加を伴うことなくメモリセルの選択トランジスタのオン抵抗を下げることを可能とし、メモリセルの記憶データの読み出し動作の高速化及び安定動作を可能とする。

【解決手段】 電気抵抗の変化により情報を記憶可能な可変抵抗素子 2 を複数備え、各可変抵抗素子 2 の一端同士を接続し、複数の可変抵抗素子 2 を共通に選択する MOSFET またはダイオード素子で構成される選択素子 3 の一つの電極と各可変抵抗素子の前記一端とを接続して、メモリセルを構成する。

【選択図】 図 2

特願 2 0 0 2 - 3 5 3 7 3 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社